

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PCT

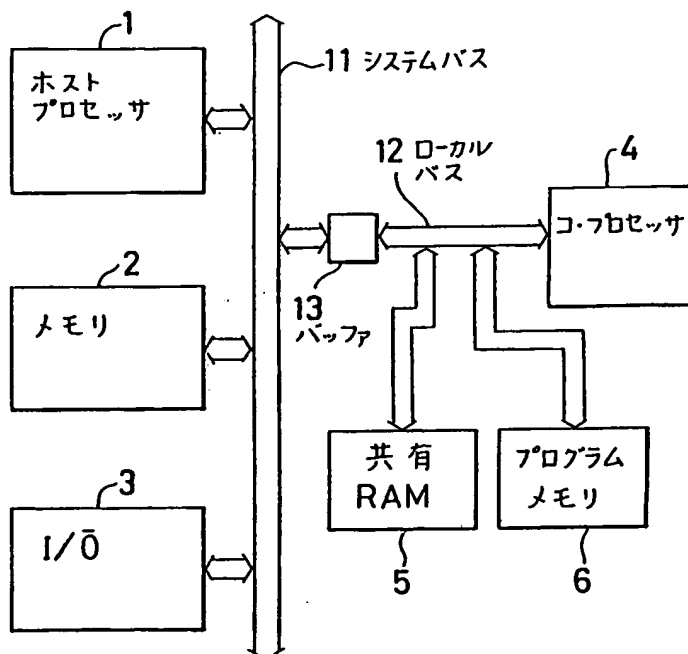
世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ⁴ G06F 15/16	A1	(11) 国際公開番号 WO 88/ 04809 (43) 国際公開日 1988年6月30日 (30.06.88)
(21) 国際出願番号 PCT/JP87/00982 (22) 国際出願日 1987年12月15日 (15. 12. 87) (31) 優先権主張番号 特願昭61-307286 (32) 優先日 1986年12月23日 (23. 12. 86) (33) 優先権主張国 JP (71) 出願人 (米国の除外するすべての指定国について) ファンウ株式会社 (FANUC LTD)(JP/JP) 〒401-05 山梨県南都留郡忍野村忍草字古馬場3580番地 Yamanashi, (JP) (72) 発明者: および (75) 発明者/出願人 (米国の除外するすべての指定国について) 萩掛 三津雄 (KURAKAKE, Mitsuo)(JP/JP) 〒191 東京都日野市多摩平3-3-10 いづみハイム103 Tokyo, (JP) 木下次明 (KINOSHITA, Jiro)(JP/JP) 〒242 神奈川県大和市下鶴間252 Kanagawa, (JP) (74) 代理人 弁護士 服部毅敏 (HATTORI, Kiyoshi) 〒192 東京都八王子市横山町11番4号 加藤ビル3階 服部特許事務所 Tokyo, (JP) (81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), U.S.		添付公開書類 国際調査報告書

(54) Title: SYSTEM FOR CONTROLLING COPROCESSORS

(54) 発明の名称 コ・プロセッサ制御方式



- 1 ... host processor
 2 ... memory
 4 ... coprocessor
 5 ... shared RAM
 6 ... program memory
 11 ... system bus
 12 ... local bus
 13 ... buffer

(57) Abstract

A system for controlling coprocessors having a host processor (1) and a coprocessor (4). Provision is made of a program memory (6) for making direct access to the coprocessor (4) and a shared RAM (5) for making access to both the host processor and the coprocessor. The host processor (1) writes onto the shared RAM (5) the operational command and data that are to be processed, and the coprocessor (4) reads the operational command and data, performs the commanded operation using the program memory (6) and writes the arithmetic result onto the shared RAM (5). The host processor reads out the arithmetic result that is written onto the shared RAM (5).

(57) 要約

ホストプロセッサ (1) とコ・プロセッサ (4) を有する
コ・プロセッサ制御方式である。

コ・プロセッサ (4) が直接アクセスできるプログラムメモ
リ (6) と、ホストプロセッサとコ・プロセッサが共にア
クセスすることができる共有 RAM (5) とを設けている。
ホストプロセッサ (1) は共有 RAM (5) に処理すべき演
算指令とデータを書込み、コ・プロセッサ (4) が前記演算
指令とデータを読込み、プログラムメモリ (6) を使用して、
指令された演算を行い、その演算結果を共有 RAM (5) に
書込む。ホストプロセッサは共有 RAM (5) に書込まれた
演算結果を読み出す。

情報としての用途のみ

PCTに基づいて公衆される国際出願のパンフレット第1頁にPCT加盟国を特定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	NE	マリ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウェー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャド
CN	カメルーン	LT	ルクセンブルグ	TC	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

- 1 -

1 明 細 書

コ・プロセッサ制御方式

5 技 術 分 野

本発明はホストプロセッサとコ・プロセッサを有するコ・プロセッサ制御方式に関し、特にホストプロセッサのコ・プロセッサとのデータの授受の負担を軽減するようにしたコ・プロセッサ制御方式に関する。

10

背 景 技 術

マイクロプロセッサシステムにおいて、処理時間の高速化のために、複雑な演算処理をマイクロプロセッサで行っている場合は処理時間がかかる複雑な演算処理をコ・プロセッサを使用して、ホストプロセッサの負担を軽減しようとするコ・プロセッサ制御方式が広く採用されている。

15

このようなコ・プロセッサは専用のチップが市場で販売され、その採用によって、ホストプロセッサの負担を軽減し、ホストプロセッサの処理の高速化に寄与している。

20

しかし、ロボット制御装置のように、常に複雑な演算処理をオンラインで処理しなければならない制御システムにおいては、ホストプロセッサが演算処理すべき演算指令及びデータを転送するための処理が常に、しかも高速に必要となり、各演算処理ごとにコ・プロセッサに指令及びデータの転送をしていたのでは、実際のロボットの制御を精密に行うことが

25

- 2 -

1 困難になるという問題点があった。

発 明 の 開 示

5 本発明の目的は上記問題点を解決し、ホストプロセッサと
コ・プロセッサとのデータの授受の負担を軽減するようにし
たコ・プロセッサ制御方式を提供することにある。

本発明では上記の問題点を解決するために、
ホストプロセッサとコ・プロセッサを有するコ・プロセッサ
制御方式において、該コ・プロセッサが直接アクセスできる
10 プログラムメモリと、前記ホストプロセッサと前記コ・プロ
セッサが共にアクセスすることができる共有RAMとを設け、
前記ホストプロセッサは前記共有RAMに処理すべき演算指
令とデータを書込み、前記コ・プロセッサが前記演算指令と
前記データを読み込み、前記プログラムメモリを使用して、前
15 記演算をおこない、前記演算指令の演算結果を前記共有RAM
に書込み、前記ホストプロセッサが前記演算結果を読み出す
ようにしたことを特徴とするコ・プロセッサ制御方式が、
提供される。

コ・プロセッサは専用のプログラムメモリを有しているの
20 で、ホストプロセッサは処理すべき複数の演算処理とそれに
必要なデータを共有RAMに書込み、これをコ・プロセッサ
に通知すれば、コ・プロセッサはこれを読み出し、必要な演算
処理をおこない、その結果を共有RAMに書込み、それをホ
ストプロセッサに通知すれば、ホストプロセッサはこれを読
25 出すことができ、個々の演算処理ごとに、指令とデータを転

- 3 -

- 1 送する必要がなく、ホストプロセッサの負担が軽減される。

図面の簡単な説明

- 第1図は本発明を実施するための装置の構成を示すブロッ
ク図である。

発明を実施するための最良の形態

- 以下、本発明の一実施例を図面に基づいて説明する。第1
図に本発明の一実施例のブロック図を示す。図において、1
はホストプロセッサ、2はホストプロセッサ1が実行するた
めのプログラム等を有するメモリ、3は外部との信号のやり
とりを行うためのインターフェイスである。これらはいずれ
も、システムバス11に接続されている。

- 4は複雑な演算処理を実行するためのコ・プロセッサであ
り、コ・プロセッサ4が使用するプログラムメモリ6と、ホ
ストプロセッサ1との演算指令及びそのためのデータを授受
するための共有RAM5とローカルバス12で接続されてい
る。システムバス11とローカルバス12はバッファ13を
介して接続されている。

- 次に第1図の実施例の動作について述べる。ホストプロセ
ッサ1は必要な演算処理及びそれに必要なデータを共有RAM5
に書込む。例えばロボットの制御においては、多数の可
動部を複数のサーボモータで駆動し、このサーボモータを制
御するために、以下のような演算処理が実時間で必要となる。

- 4 -

$$\begin{array}{l}
 1 \quad \left| \begin{array}{c} Y_1 \\ Y_2 \\ Y_3 \\ \vdots \\ Y_n \end{array} \right| = \left| \begin{array}{cccccc} A_{11} & A_{12} & A_{13} & \cdots & A_{1n} \\ A_{21} & A_{22} & A_{23} & \cdots & \cdot \\ A_{31} & \cdot & & & \cdot \\ \cdot & \cdot & & & \cdot \\ \cdot & & & & \cdot \\ A_{n1} & \cdot & \cdot & \cdot & \cdot & A_{nn} \end{array} \right| \left| \begin{array}{c} X_1 \\ X_2 \\ X_3 \\ \vdots \\ X_n \end{array} \right| \\
 5
 \end{array}$$

ここで、 $Y_1 \sim Y_n$ は求める答 A_{11} 、 $A_{12} \cdots A_{nn}$ 及び $X_1 \sim X_n$ は必要なデータであり、特に A_{11} 、 $A_{12} \cdots A_{nn}$ は三角函数を含む係数である。従って、ホストプロセッサ 1 は上記のマトリックス演算の指令及びデータ A_{11} 、 $A_{12} \cdots A_{nn}$ 及び $X_1 \sim X_n$ を共有メモリ 5 に書込み、これをコ・プロセッサ 4 に通知する。

コ・プロセッサはこの通知を受けて上記のマトリックス演算をプログラムメモリ 6 と内蔵している演算処理プログラムによって演算処理し、その答え $Y_1 \sim Y_n$ を予め定められた共有 RAM 5 の特定の番地 に書込み、それをホストプロセッサ 1 に通知する。

ホストプロセッサ 1 はコ・プロセッサ 4 からの演算処理の完了通知によって、答えを読出すことにより、必要な処理が完了する。

以上説明したように、ホストプロセッサ 1 は個々の演算処理ごとに、演算指令及びデータを授受する必要がなく、指令及びデータを一纏めにして処理できるので、ホストプロセッサ 1 の負担が軽減される。従って、ロボット制御装置のよう

- 5 -

1 に、複雑な演算を高速に、多数、実時間で処理することが必
4 要な装置に使用することができる。

 上記の実施例ではマトリックス演算を例として示したが、
 勿論これに限定することなく、制御すべきシステムに応じて、
5 一纏めにできるような演算処理であれば、同様に適用するこ
 とができる。

 以上説明したように本発明では、コ・プロセッサに専用の
 プログラムメモリとホストプロセッサとの情報の授受を行う
 共有RAMを設けたので、ホストプロセッサは演算処理すべ
10 き内容を一纏めにしてコ・プロセッサに処理させることがで
 き、ロボット制御装置のような複雑な演算を、高速に実時間
 で処理することが必要な場合に有用である。

15

20

25

- 6 -

1 請 求 の 範 囲

1. ホストプロセッサとコ・プロセッサを有するコ・プロセッサ制御方式において、

5 該コ・プロセッサが直接アクセスできるプログラムメモリと、前記ホストプロセッサと前記コ・プロセッサが共にアクセスすることができる共有RAMとを設け、

前記ホストプロセッサは前記共有RAMに処理すべき演算指令とデータを書込み、

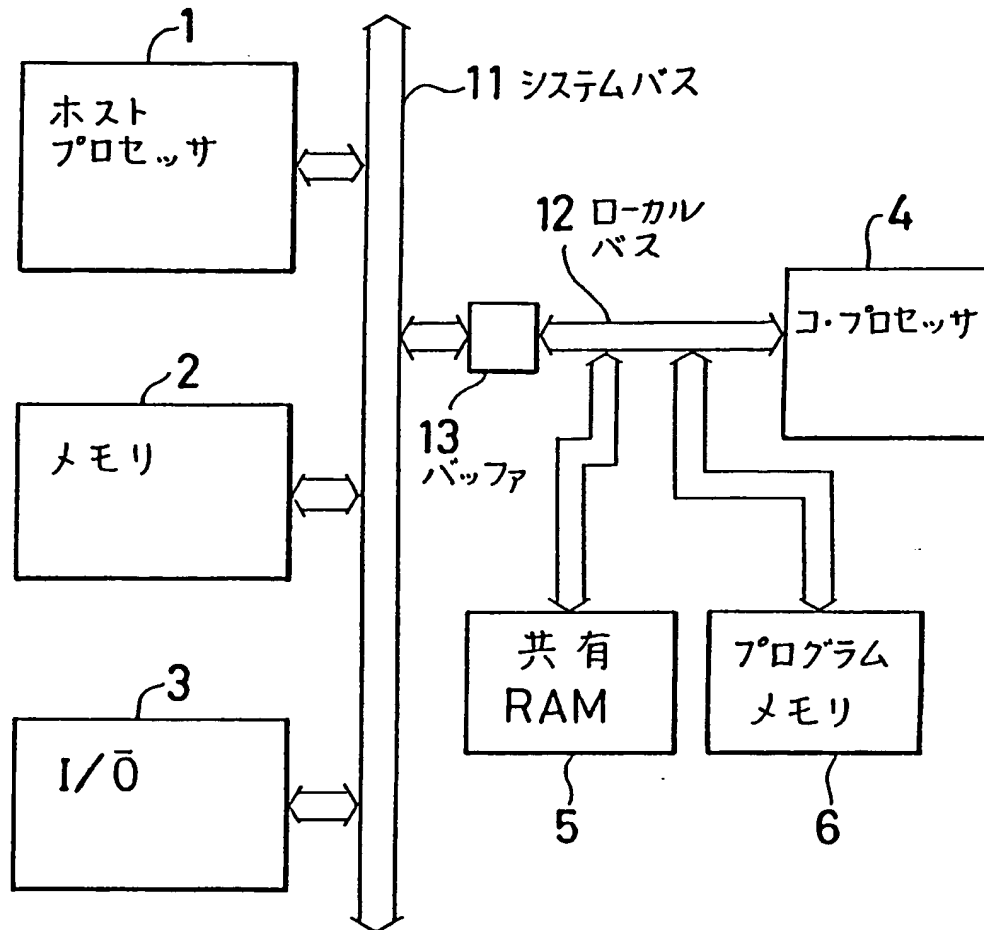
10 前記コ・プロセッサが前記演算指令と前記データを読み込み、前記プログラムメモリを使用して、前記演算をおこない、前記演算指令の演算結果を前記共有RAMに書込み、

前記ホストプロセッサが前記演算結果を読出すようにしたことを特徴とするコ・プロセッサ制御方式。

15 2. 前記コ・プロセッサはローカルバスを介してプログラムメモリ及び共有RAMにアクセスすることを特徴とする特許請求の範囲第1項記載のコ・プロセッサ制御方式。

20 3. 前記ホストプロセッサはシステムバス、バッファ及びローカルバスを経由して共有RAMにアクセスすることを特徴とする特許請求の範囲第1項記載のコ・プロセッサ制御方式。

1/1



第 1 図

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP87/00982

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl ⁴	G06F15/16	
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
IPC	G06F15/16, G06F9/38	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
Jitsuyo Shinan Koho	1971 - 1986	
Kokai Jitsuyo Shinan Koho	1971 - 1986	
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category ⁶	Citation of Document, ¹⁵ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
X	JP, A, 61-204758 (Hitachi, Ltd.) 10 September 1986 (10. 09. 86) (Family: none)	1
X	JP, A, 59-16072 (Digital Equipment Corporation) 27 January 1984 (27. 01. 84) & EP, A2, 92429 & AU, A1, 1349883 & US, A, 4509116 & CA, A1, 1196108	1
Y	JP, A, 57-25045 (NEC Corporation) 9 February 1982 (09. 02. 82) (Family: none)	1
Y	JP, A, 59-220821 (NEC Home Electronics Ltd.) 12 December 1984 (12. 12. 84) (Family: none)	2, 3
X	JP, A, 59-111563 (Fuji Electric Co., Ltd.) 27 June 1984 (27. 06. 84) (Family: none)	1
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>¹⁶ Special categories of cited documents: ¹⁶</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> </div> </div>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ¹⁹	Date of Mailing of this International Search Report ²	
March 3, 1988 (03. 03. 88)	March 22, 1988 (22. 03. 88)	
International Searching Authority ¹	Signature of Authorized Officer ²⁰	
Japanese Patent Office		

国際調査報告

国際出願番号 PCT/JP 87/00982

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. G 0 6 F 1 5 / 1 6		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
IPC	G 0 6 F 1 5 / 1 6, G 0 6 F 9 / 3 8	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1971-1986年 日本国公開実用新案公報 1971-1986年		
III. 関連する技術に関する文献		
引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, A. 61-204758 (株式会社 日立製作所) 10. 9月. 1986 (10. 09. 86) (ファミリーなし)	1
X	JP, A. 59-16072 (ディジタル・イクイブメント・ コーポレーション) 27. 1月. 1984 (27. 01. 84) & EP, A2. 92429 & AU, A1. 1349883 & US, A. 4509116 & CA, A1. 1196108	1
Y	JP, A. 57-25045 (日本電気株式会社) 9. 2月. 1982 (09. 02. 82) (ファミリーなし)	1
Y	JP, A. 59-220821 (日本電気ホームエレクトロニ クス株式会社) 12. 12月. 1984 (12. 12. 84) (ファミリーなし)	2, 3
<p>※ 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 先行文献ではあるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリーの文献</p>		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
03. 03. 88	22.03.88	
国際調査機関	権限のある職員	5 B 2 1 1 6
日本国特許庁 (ISA/JP)	特許庁審査官	吉 見 信 明 ®

第2ページから続く情報

X	<p>(Ⅱ欄の続き)</p> <p>JP. A. 59-111563 (富士電機製造株式会社) 27. 6月. 1984 (27. 06. 84) (ファミリーなし)</p>	1
---	---	---

V. ☐ 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. ☐ 請求の範囲_____は、国際調査をすることを要しない事項を内容とするものである。
2. ☐ 請求の範囲_____は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。
3. ☐ 請求の範囲_____は、従属請求の範囲でありかつPCT規則6.4(a)第2文の規定に従って起草されていない。

VI. ☐ 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. ☐ 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。
2. ☐ 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったので、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
請求の範囲_____
3. ☐ 追加して納付すべき手数料が指定した期間内に納付されなかったので、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
請求の範囲_____
4. ☐ 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかった。

追加手数料異議の申立てに関する注意

- ☐ 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
- ☐ 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。

DERWENT-ACC-NO: 1988-190709

DERWENT-WEEK: 198827

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Co-processor control system for robot - has
shared RAM
accessed by host processor and co-processor for
data and
command transfer

INVENTOR: KINOSHITA, J

PATENT-ASSIGNEE: FANUC LTD[FUFA] , KURAKAKE M[KURAI]

PRIORITY-DATA: 1986JP-0307286 (December 23, 1986)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
WO 8804809 A	June 30, 1988	J 012
N/A		
EP 294487 A	December 14, 1988	E 000
N/A		
EP 294487 A4	March 28, 1990	N/A 000
N/A		

DESIGNATED-STATES: US DE FR GB DE FR GB

CITED-DOCUMENTS: AU 1349883; CA 1196108 ; EP 92429 ; JP 57025045 ; JP 59016072
; JP 59111563 ; JP 59220821 ; JP 61204758 ; US 4509116 ; 2.Jnl.Ref ; FR 2539528
; AU 8313498

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
WO 8804809A	N/A	1987WO-JP00982
December 15, 1987		
EP 294487A	N/A	1988EP-0900108
December 15, 1987		
EP 294487A4	N/A	1987WO-JP00982
December 15, 1987		
EP 294487A4	N/A	1988EP-0900108
December 15, 1987		

INT-CL (IPC): G06F015/16

ABSTRACTED-PUB-NO: WO 8804809A

BASIC-ABSTRACT:

A system has a hoist processor (1) and a coprocessor (4) connected by a system bus (11), a local bus (12) and a buffer (13). A program memory (6) is provided for the coprocessor (4) allowing a direct access whilst a shared RAM (5) is provided for the host processor (1) and the coprocessor (4).

The operational commands and the data to be processed are written onto the shared RAM (5) by the host processor (1). The coprocessor (4) reads the shared RAM (5), performs the commands using the program memory (6) and writes the operation results another shared RAM (5), which is then read by the host processor.

USE/ADVANTAGE - The use of a shared RAM improves data transfer efficiency.

Useful is robot control systems, which requires complicated operating at high speed and in real time.

CHOSEN-DRAWING: Dwg.1/1

TITLE-TERMS: CO PROCESSOR CONTROL SYSTEM ROBOT SHARE RAM ACCESS HOST PROCESSOR

CO PROCESSOR DATA COMMAND TRANSFER

DERWENT-CLASS: T01 T06 X25

EPI-CODES: T01-J02B; T06-A07; T06-D07B; X25-A03E; X25-A03F;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1988-145735